

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 8 月 25 日 (25.08.2005)

PCT

(10) 国際公開番号
WO 2005/078404 A1

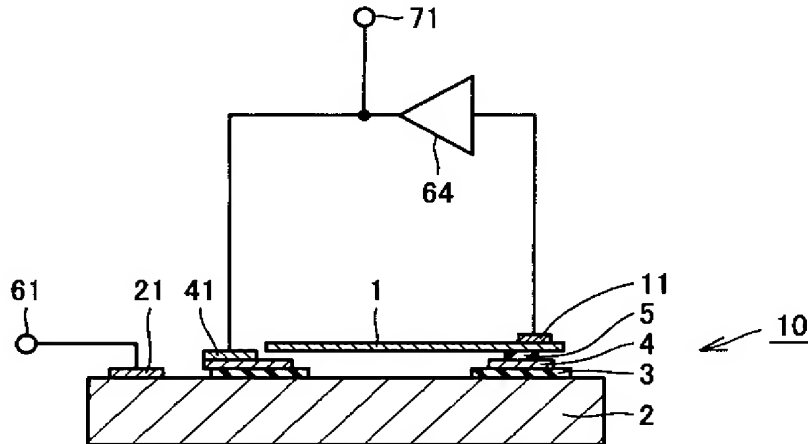
- (51) 国際特許分類: G01L 9/12
(21) 国際出願番号: PCT/JP2005/002165
(22) 国際出願日: 2005 年 2 月 14 日 (14.02.2005)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ:
特願2004-037334 2004 年 2 月 13 日 (13.02.2004) JP
(71) 出願人 (米国を除く全ての指定国について): 東京エレクトロン株式会社 (TOKYO ELECTRON LIMITED)
[JP/JP]; 〒1078481 東京都港区赤坂五丁目 3 番 6 号 Tokyo (JP).
(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 星野 智久

- (HOSHINO, Tomohisa) [JP/JP]; 〒6600891 兵庫県尼崎市扶桑町 1-8 東京エレクトロン A T 株式会社内 Hyogo (JP).
(74) 代理人: 伊藤 英彦, 外 (ITO H, Hidehiko et al.); 〒5420082 大阪府大阪市中央区島之内 1 丁目 2 1 番 1 9 号 協和島之内ビル アイミー国際特許事務所 Osaka (JP).
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

[続葉有]

(54) Title: CAPACITIVE SENSOR

(54) 発明の名称: 容量型センサ



(57) Abstract: A capacitive sensor (10) in which a parasitic capacitance does not function as a capacitor and its effect on the detected capacitance can be eliminated apparently because a guard electrode (4) is arranged between a first electrode (1) and a second electrode (2), potentials of the first electrode (1) and the guard electrode (4) are equalized by bringing the AC potential difference thereof substantially to zero through a capacitive sensor detecting circuit (64), and a variation in impedance is detected between the first electrode (1) and the second electrode (2), so that the potential difference across a parasitic capacitance between first electrode (1) and the guard electrode (4) is decreased apparently or brought substantially to zero. Thus, only a capacitance variation of the capacitive sensor (10) can be detected by means of the capacitive sensor detecting circuit (64).

(57) 要約: 第 1 電極 1 と第 2 電極 2 との間にガード電極 4 を配置し、容量型センサ検出回路 6 4 により、第 1 電極 1 とガード電極 4 との交流の電位差をほぼゼロに近付けて同電位にし、かつ第 1 電極 1 および第 2 電極 2 間のインピーダンスの変化を検出するようにしたので、第 1 電極 1 とガード電極 4 との間に生じる寄生容量の両端の電位差を見かけ上小さくするかあるいはほぼゼロにすることで、寄生容量はコンデンサとして機能しないので、検出容量への影響を見かけ上なくすることができる。これにより、容量型センサ検出回路 6 4 によって容量型センサ 1 0 の容量変化量のみを検出することができる



WO 2005/078404 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

明 細 書

容量型センサ

技術分野

[0001] この発明は容量型センサに関し、例えば、圧力センサのように静電容量の変化を検出する容量型センサに関する。

背景技術

[0002] 容量型センサは、一般的に支持基板の上に第1電極と第2電極とが対向するように配置されており、支持基板と第1および第2電極は、スペーサや固定部材などの絶縁体で固定・支持されている。そして、第1電極を検出回路の入力端に接続し、第2電極をバイアス電圧源に接続するために、第1および第2電極には外部接続用パッドが形成されている。

[0003] このような容量型圧力センサは、第1電極と第2電極との間の静電容量の変化を検出回路で検出することにより圧力の変化を検出している。

[0004] 上記容量型センサにおいて、第1および第2電極は、検出する物理量に応じて検出動作する動作部として作用するが、スペーサや固定部材は固定部として作用し、この固定部の容量は寄生容量となってセンサ基準容量の一部となるが、物理量の検出にかかわっていないばかりでなく、感度の低下や入力換算ノイズレベルの悪化を引き起こしている。

[0005] 一方、容量型センサの一例が特開2000-028462号公報に記載されている。この文献に記載された容量型センサは、半導体基板の上にガード電極を設け、その上に絶縁層を介して固定電極を形成し、その上にダイヤフラムで空洞を形成し、ダイヤフラムの層間に可動電極を形成し、可動電極と固定電極との間の静電容量を検出している。また、演算増幅器でガード電極の電位を固定電極と同一にすることで外部雑音の混入を防止している。

[0006] 上記の特開2000-028462号公報に記載された容量型センサは、外部雑音の影響を受けないようにガード電極を設けているが、このガード電極によっても入力換算ノイズレベルの悪化を防止することができない。

発明の開示

- [0007] この発明の目的は、感度を向上できるとともに入力換算ノイズレベルを低減できる容量型センサを提供することである。
- [0008] この発明は、第1電極と、第1電極に対向して配置される第2電極と、第1電極に対向して配置されるガード電極と、第1電極とガード電極との電位差をゼロに近付ける同電位手段と、第1電極および第2電極間のインピーダンスの変化を検出するための容量型センサ検出手段を備える。
- [0009] 好ましくは、ガード電極は第1電極と第2電極との間に配置される。
- [0010] 好ましくは、ガード電極と第1電極とを固定する第1支持部材を含む。
- [0011] 好ましくは、第2電極上とガード電極とを固定する第2支持部材を含む。
- [0012] 好ましくは、支持基板を含み、支持基板上に第1電極または第2電極と、第1電極または第2電極とは異なる導電形式の半導体層によりガード電極が形成される。
- [0013] 好ましくは、第1電極または第2電極は、その下面中央部に凹部が形成された薄膜部を含み、薄膜部が振動電極となる。
- [0014] 好ましくは、薄膜部として形成された第1電極または第2電極が振動電極となる。
- [0015] 好ましくは、第1電極および第2電極の少なくともいずれか一方は振動電極である。
- [0016] 好ましくは、第1電極および第2電極は、ともに固定電極である。
- [0017] この発明の他の曲面は、それぞれが対向して配置され、いずれか一方の面積が他方に比べて狭く形成された第1および第2電極と、第1および第2電極のうちの面積の狭い電極の外周より外側に配置されて面積の広い電極を支持する支持部材とを備える。
- [0018] 好ましくは、支持基板を含み、支持部材は、支持基板上で面積の広い電極を支持する。
- [0019] 好ましくは、第1および第2電極のいずれか一方は支持基板上に配置され、支持基板とその上に形成される電極との間に配置される第3支持部材を含む。
- [0020] 好ましくは、支持基板の中央部には開口部が形成されていて、第3支持部材上に形成された電極が振動電極となる。
- [0021] 好ましくは、第1および第2電極のいずれか一方の電極上に他方の電極が配置され

、一方の電極上で他方の電極を支持する第4支持部材を含む。

[0022] 好ましくは、広い面積の電極上に面積の狭い電極が配置され、広い面積の電極上に形成される第5支持部材と、第5支持部材によって支持される絶縁部材とを含み、面積の狭い電極は絶縁部材上に形成される。

[0023] 好ましくは、第6支持部材と絶縁部材との間に配置されるガード電極と、第1電極とガード電極との電位差をゼロに近付ける同電位手段と、第1電極および第2電極間のインピーダンスの変化を検出するための容量型センサ検出手段とを含む。

[0024] この発明は、第1電極と第2電極との間にガード電極を配置し、同電位手段により第1電極とガード電極との電位差をゼロに近付け、容量型センサ検出手段により第1電極および第2電極間のインピーダンスの変化を検出するようにしたので、第1電極とガード電極との間に生じる寄生容量の両端の電位差を第1電極と第2電極との間の電位差よりも見かけ上小さくするかあるいはほぼゼロにすることで、寄生容量はコンデンサとして機能しないので、検出容量への影響を見かけ上なくすることができる。これにより、容量型センサ検出手段によって容量型センサの容量変化量のみを検出することができるので、感度を向上できるとともに、入力換算ノイズレベルを低減することができる。

[0025] また、いずれか一方の面積が他方に比べて狭く形成された第1および第2電極を対向して配置し、第1および第2電極のうちの面積の狭い電極の外周より外側に支持部材を配置して面積の広い電極を支持することにより、支持部材による寄生容量が第1および第2電極のいずれかの検出容量に影響を与えない。このように寄生容量を低減できるので、感度を向上できるとともに、入力換算ノイズレベルを低減することができる。

図面の簡単な説明

[0026] [図1]この発明の第1の実施形態における容量型センサを示す図である。

[図2]図1に示した容量型センサの各部分の平面図である。

[図3]図1に示した容量型センサにおける接続図の一例を示す図である。

[図4]寄生容量の影響を見かけ上で無くす動作を説明するための図である。

[図5]図1に示した容量型センサにおける接続図の他の例を示す図である。

[図6]図1に示した容量型センサにおける接続図のさらに他の例を示す図である。

[図7]この発明の第2の実施形態における容量型センサを示す図である。

[図8]この発明の第3の実施形態における容量型センサを示す図である。

[図9]この発明の第4の実施形態における容量型センサの断面図である。

[図10]この発明の第5の実施形態における容量型センサの断面図である。

[図11]この発明の第6の実施形態における容量型センサを構成する各部分の平面図および容量型センサの断面図である。

[図12]この発明の第7の実施形態における容量型センサを構成する各部分の平面図および容量型センサの断面図である。

[図13]この発明の第8の実施形態における容量型センサを構成する各部分の平面図および容量型センサの断面図である。

[図14]この発明の第9の実施形態における容量型センサを構成する各部分の平面図および容量型センサの断面図である。

[図15]この発明の第10の実施形態における容量型センサを構成する各部分の平面図および容量型センサの断面図である。

[図16]この発明の第11の実施形態における容量型センサを構成する各部分の平面図および容量型センサの断面図である。

発明を実施するための最良の形態

[0027] 図1はこの発明の第1の実施形態における容量型センサを示す図であり、特に図1(a)は平面図を示し、図1(b)は図1(a)の線Ib-Ibに沿う断面図を示し、図2は図1に示した容量型センサを構成する各部分の平面図である。

[0028] 図1(b)に示すように、容量型センサ10には第1電極1と、第2電極2とが対向して配置されている。支持基板となる第2電極2は、図2(a)に示すように、例えばほぼ正方形の単結晶シリコン基板から形成されており、第2電極2上には図2(b)に示すように例えばシリコン酸化膜からなる第1支持部材としてのリング状の絶縁物3が形成されている。絶縁物3は第2電極2上でガード電極4を支持するスペーサあるいは固定部材として機能する。

[0029] ガード電極4は図2(c)に示すように、絶縁物3上に例えば多結晶シリコン膜によつ

てリング状に形成されている。ガード電極4は第1電極1とほぼ同電位にすることで、感度の低下や入力換算ノイズレベルを悪化させる原因である寄生容量による検出容量への影響を見かけ上で無くし、感度を向上するとともに入力換算ノイズレベルを低減するために設けられている。

[0030] ガード電極4上には図2(d)に示すように、断面が長方形の第2支持部材としての絶縁物5が第2電極2の各辺に対向するように、例えばシリコン酸化膜によって形成されている。絶縁物5は第1電極1を支持するスペーサあるいはアンカーとして機能する。絶縁物5上には図2(e)に示すような第1電極1が例えば多結晶シリコン膜によって形成されている。第1電極1は振動板として機能するものであって菱形形状に形成されており、各角にはその上に第1電極パッド11を形成するために、第2電極2の各辺に対向するように長方形の突起12が形成されている。なお、第2電極2は固定電極として機能する。

[0031] 図1(b)に示すように、第1電極1の突起12上には4つの第1電極パッド11が形成され、第2電極2の各角には4つの第2電極パッド21が形成され、ガード電極4の三角の突起42上には4つのガード電極パッド41が形成されている。

[0032] 図3は図1に示した容量型センサ10における接続図の一例を示す図であり、図4は寄生容量の影響を見かけ上で無くす動作を説明するための図である。

[0033] 図1に示した容量型センサ10の第2電極パッド21は端子62に接続されており、この端子62には図示しないバイアス電圧源からバイアス電圧 $+V$ が供給されている。第1電極パッド11には容量型センサ検出回路62の入力が接続され、容量型センサ検出回路62の出力は出力端子71に接続されるとともにゲイン回路63の入力に接続されている。ゲイン回路63の出力はガード電極パッド41に接続されている。

[0034] 容量型センサ検出回路62は、容量型センサ10の第1電極1と第2電極2間のインピーダンスの変化を検出するものであり、例えばゲインが A の演算増幅器によって構成されている。一方、ゲイン回路63は例えば $+1/A$ のゲインを有している。したがって、容量型センサ検出回路62の出力をゲイン回路63に与えることで、 $A \times (+1/A) = 1$ となるので、第1電極1とガード電極4は等価的にほぼ同じ交流電位にして、寄生容量の両端の電位差を第1電極と第2電極との間の電位差よりも見かけ上小さくする

かあるいはほぼゼロに近付けることができる。

[0035] なお、補足的に説明すると、容量型センサ10であるため、第1電極1とガード電極2との間に直流の電位差が生じてよいことは明確である。図3では、容量型センサ検出回路62とゲイン回路63とによって同電位手段と容量型センサ検出手段を構成している。

[0036] 図4に示すように、容量型センサ検出回路62の一方の入力は、第1電極1とガード電極4との間に生じる寄生容量 C_i と、第1電極1と第2電極2との間に生じる容量 C および容量変化 ΔC の和が並列に接続されたものとして表される。もし、寄生容量 C_i の両端に電位差があれば、寄生容量 C_i はコンデンサとして作用し、この寄生容量 C_i により感度を低下させるとともに入力換算レベルを悪化させる要因になる。

[0037] これに対して、この実施形態では、寄生容量 C_i の両端の電位差を第1電極と第2電極との間の電位差よりも見かけ上小さくするかあるいはほぼゼロにすることで、寄生容量 C_i はコンデンサとして機能しないので、検出容量への影響を見かけ上なくすることができる。これにより、容量型センサ検出回路62によって容量型センサ10の容量変化量 ΔC のみを検出することができるので、感度を向上できるとともに、入力換算ノイズレベルを低減することができる。

[0038] 図5は図1に示した容量型センサにおける接続図の他の例を示す図である。この図5に示した例は、同電位手段および容量型センサ検出手段を構成する容量型センサ検出回路64として、演算増幅器の一方の入力と出力とを接続したボルテージフォロワ回路で構成したものである。ボルテージフォロワ回路はゲインが1であるため、第1電極1とガード電極4は等価的にほぼ同じ交流電位にすることができる。その結果、寄生容量 C_i による検出容量への影響を見かけ上なくことができ、容量型センサ10によって容量変化量 ΔC のみを検出することができるので、感度を向上できるとともに、入力換算ノイズレベルを低減することができる。

[0039] 図6は図1に示した容量型センサにおける接続図のさらに他の例を示す図である。この図6に示した例は、図3と同様にして容量型センサ検出回路62を第1電極パッド11と出力端子71との間に接続するとともに、第1電極パッド11とガード電極パッド41との間にアナログバッファ65を接続したものである。

- [0040] アナログバッファ65はゲインが1であるため、図3と同様にして第1電極1とガード電極4とをほぼ同じ交流電位に保つ同電位手段を構成する。その結果、寄生容量 C_i による検出容量への影響を見かけ上なくすることができ、感度を向上できるとともに、入力換算ノイズレベルを低減することができる。容量型センサ検出回路62は第1電極1と第2電極2との間のインピーダンスの変化を検出する。
- [0041] なお、第1電極1とガード電極4との電位差は、第1電極1と第2電極2との間の交流電圧の電位差よりも小さければよい。また、第1電極1とガード電極に生じる交流電圧のレベルが多少異なっているとしても、それぞれの位相がほぼ同じであればよい。したがって、ほぼ同じ電位には位相がほぼ同じ概念も含むものとする。
- [0042] 図7はこの発明の第2の実施形態における容量型センサを示す図であり、図7(a)は平面図であり、図7(b)は図7(a)の線VIIb-VIIbに沿う断面図である。
- [0043] この第2の実施形態は、図1に示した容量型センサ10の支持基板である第2電極2の下面に、台形状の凹部23を形成し、第1電極1に対向する部分が薄くなるように薄膜部分25を形成したものである。図1に示した第1の実施形態では第1電極1が振動板として機能していたのに対して、この図7に示した第2の実施形態では、第2電極2の薄膜部分25が振動板として機能し、第1電極1が固定電極として機能する。それ以外の構成は図1と同じであり、電気的な接続も図3～図6を適用することで、感度を向上できるとともに、入力換算ノイズレベルを低減することができる。なお、凹部23は長方形状であってもよい。
- [0044] 図8はこの発明の第3の実施形態における容量型センサを示す図であり、特に図8(a)は平面図であり、図8(b)は図8(a)の線VIIIb-VIIIbに沿う断面図である。
- [0045] 図1に示した第1の実施形態では支持基板である第2電極2上に絶縁物3を介してガード電極4を形成したのに対して、この第3の実施形態は、イオン注入または拡散などにより、p型／n型のように異なる導電形式の半導体拡散層で、比較的厚みのある支持基板9上に第2電極2aを形成し、その周りに第1電極1に対向してガード電極4aを形成したものである。第2電極2aは第1電極1よりも直径の小さな円板状に形成されており、さらに図示しないが円板の一部から帯状の引き出し部が形成されており、その先端部に第2電極パッド21が形成されている。ガード電極4a対してもガード電

極パッド41が形成されている。支持基板9の下部には第2電極2aの下面が露出するように、台形状の凹部43が形成されている。なお、ガード電極4aは半導体導電形式により逆バイアスとなるように設定するのが好ましい。

[0046] この第3の実施形態では、第2電極2aが振動電極として機能し、第1電極1が固定電極として機能する。その他の第1電極1や絶縁物5などの構成は図1と同じである。この第3の実施形態では、第2電極2aとガード電極4aとを異なる導電形式の半導体拡散層で形成したので、両者間の絶縁物を不要にでき、この部分で寄生容量が生じないという利点がある。

[0047] 図9はこの発明の第4の実施形態における容量型センサの断面図である。この第4の実施形態は、支持基板9に凹部43を形成し、第1電極1に対向する部分に薄膜部分44を形成したものである。それ以外の構成は、図8と同じである。

[0048] 図10はこの発明の第5の実施形態における容量型センサを示す断面図である。この実施形態は図8と同様にして支持基板9に第2電極2aとガード電極4aとをイオン注入または拡散などにより形成したものであるが、図8のように支持基板9には凹部43が形成されておらず、それ以外の構成は図1と同じである。したがって、この第5の実施形態では、第1電極1が振動電極として機能し、第2電極2aが固定電極として機能する。

[0049] これまでに説明した図1～図10の各実施形態はガード電極4、4a～4cを設け、第1電極1、1aとガード電極4、4a～4cとをほぼ同じ電位にすることで寄生容量を低減させるようにしたが、以下の図11～図16に示す各実施形態はガード電極4、4a～4cを設けることなく寄生容量を低減する。すなわち、それぞれが対向して配置される第1および第2電極のいずれか一方の面積を他方に比べて狭く形成し、面積の狭い電極の外周より外側に絶縁部材を設けることにより、絶縁部材による寄生容量の影響を軽減するものである。

[0050] 図11はこの発明の第6の実施形態における容量型センサを構成する各部分の平面図および図11(e)の線XI f-XI fに沿う容量型センサの断面図である。

[0051] 図11(a)に示す基板8は、例えばほぼ正方形で比較的厚みを有する単結晶シリコン基板によって形成されており、中央部には矩形の開口部分81が形成されている。

この基板8上には図11(b)に示すように、開口部分81を除いて例えばシリコン酸化膜によって絶縁物3aが形成されている。図11(c)に示すように、開口部分81よりも直径が小さくなるように円板状の第2電極2bが例えば単結晶シリコンによって形成されており、その一部から絶縁物3a上に延びるように引き出し部24が形成されていて、その先端部には図示しないが第2電極パッドが形成される。第1電極1aは固定電極として機能し、第2電極2bは振動電極として機能する。

[0052] さらに、図11(d)に示すように絶縁物3a上には第2電極2bの外周よりも外側に、基板8の各辺に対向するように4つの比較的厚みのある支持部材としての絶縁物5aがシリコン酸化膜によって形成されている。この絶縁物5aは第1電極1aを固定するための固定部材として機能する。そして、図11(e)に示すように、絶縁物5aによって固定されるごとく第1電極1aが多結晶シリコン膜によって形成されている。第1電極1aは4つの絶縁物5aを覆うように、第2電極2bよりも大きな直径を有している。

[0053] この実施形態では、図11(f)に示す断面図から明らかなように、振動電極となる第2電極2bの面積を第1電極1aの面積よりも狭くし、第2電極2bの外周よりも外側に固定部材となる絶縁物5aを形成したので、絶縁物5aによる寄生容量が第2電極2bの検出容量に影響を与えることがない。しかも、絶縁物5bの厚みを厚くすることで、基板8と第1電極1aとの間の距離を広げることができるので、この間での寄生容量を低減できる。このように寄生容量を低減できるので、感度を向上できるとともに、入力換算ノイズレベルを低減することができる。

[0054] なお、図11において、第1電極1aおよび第2電極2bにはそれぞれパッドが設けられるが図示を省略している。また、各パッドを1つずつ設ければよく、パッド面積の低減により、寄生容量を減らすことができる。

[0055] 図12はこの発明の第7の実施形態における容量型センサを構成する各部分の平面図および図12(e)の線XII f-XII fに沿う容量型センサの断面図である。

[0056] この第7の実施形態は、図12(a)に示す基板8の開口部分81を覆うように、図12(b)に示す絶縁物3bを形成し、この絶縁物3b上に図12(c)に示す第2電極2bを形成したものであり、それ以外の構成は図11の第6の実施形態と同じである。この第7の実施形態においても、図12(f)に示す断面図から明らかなように、第2電極2bの外側に

絶縁物5aが形成されており、基板8と第1電極1aとの間の距離を広げることができるので寄生容量を低減できる。これにより、感度を向上できるとともに、入力換算ノイズレベルを低減することができる。

[0057] 図13はこの発明の第8の実施形態における容量型センサを構成する各部分の平面図および図13(e)の線XIII f-XIII fに沿う容量型センサの断面図である。

[0058] この第8の実施形態は、図13(a)に示すように基板8aに図12(a)に示した開口部分81を形成していない以外は図12の実施形態と同じである。この実施形態では、第2電極2bが固定電極となり、第1電極1aが振動電極となる。

[0059] 図14はこの発明の第9の実施形態における容量型センサを構成する各部分の平面図および図14(d)の線XIII e-XIII eに沿う容量型センサの断面図である。

[0060] この第9の実施形態は、図14(a)に示すように第2電極2eが比較的厚みのあり下面に凹部43の形成された基板により構成され、この第2電極2c上に図14(b)に示すように、周囲および中央の円形部分を除いて絶縁物3cが形成される。絶縁物3c上に図14(c)に示すように絶縁物5bが形成され、絶縁物5b上に図11〜図13と同様に第1電極1bが形成される。第1電極1bには図示しない第1電極パッドに接続される引き出し部13が形成されている。絶縁物3c、5bは第4支持部材を構成している。

[0061] この実施形態においては、図14(e)に示す断面図から明らかなように、絶縁物3cが第1電極1bの外側を囲むように形成されており、この絶縁物3cの寄生容量が第1電極1bの検出容量に影響が与えることがない。この実施形態において、図14(f)に示すように第2電極2cの下面に凹部43を形成して、第2電極2cを振動電極として機能させ、第1電極1bを固定電極として機能させてもよい。

[0062] なお、図14(e)、(f)は図14(d)に示す線XIV e-XIV eに沿う断面図を示している。

[0063] 図15はこの発明の第10の実施形態における容量型センサを構成する各部分の平面図および図15(d)の線XV e-XV eに沿う容量型センサの断面図である。

[0064] この第10の実施形態は、図14(a)と同様の第2電極2c上に、図15(b)に示す4つの絶縁物3dが第2電極2cの各辺に対向するように形成される。これらの絶縁物3dを覆うように、図15(c)に示す円形状の絶縁物5cが形成される。そして、図15(d)に示す第1電極1cが絶縁物5c上に形成される。この実施形態においても、図15(e)に示

す断面図から明らかなように、図15 (b) に示す絶縁物3dが第1電極1cの外周よりも外側に配置されているので、絶縁物3dによる寄生容量が第1電極1cの検出容量に対して影響を与えることがない。

[0065] なお、第2電極2cの下面には図15 (f) に示すように凹部43を形成し、第1電極1cが固定電極となり、第2電極2cが振動電極になるようにしてもよい。

[0066] 図16はこの発明の第11の実施形態における容量型センサを構成する各部分の平面図および図16 (e) の線XVI f-XVI fに沿う容量型センサの断面図である。

[0067] この第11の実施形態は、図16 (b) に示す第5支持部材としての絶縁物3dと、図16 (d) に示す絶縁部材としての絶縁物5eとの間に、図16 (c) に示すガード電極4cを形成したものである。このガード電極4cは、図1ー図10で説明したガード電極を設けて寄生容量を低減させる実施形態と同様の機能を有するものである。そして、電気的な接続も図3ー図6を適用することで、感度を向上できるとともに、入力換算ノイズレベルを低減することができる。

[0068] したがって、この第11の実施形態は、ガード電極4cと第1電極1cとの電位差をほぼゼロにし、第1電極1cの面積を第2電極2cの面積よりも狭く形成し、第1電極1cの外周より外側に絶縁物3dを設けることにより、絶縁物3dによる寄生容量の影響を軽減することができる。

[0069] なお、図11ー図14の実施形態においても、図16 (c) に示したガード電極4cを設けるようにしてもよい。

[0070] また、上述の実施形態は第1の電極1と第2の電極2のいずれか一方を振動電極とし、他方を固定電極としたが、これに限ることなく両方とも固定電極としてもよく、あるいは両方とも振動電極であってもよい。両方とも固定電極にした場合、例えば湿度センサやガスセンサや流量センサに適用できる。

[0071] 以上、図面を参照してこの発明の実施形態を説明したが、この発明は、図示した実施形態のものに限定されない。図示された実施形態に対して、この発明と同一の範囲内において、あるいは均等の範囲内において、種々の修正や変形を加えることが可能である。

産業上の利用可能性

[0072] この発明の容量型センサは、感度を向上できるとともに、入力換算ノイズレベルを低減できて圧力などを検出するために利用される。

請求の範囲

- [1] 第1電極と、
前記第1電極に対向して配置される第2電極と、
前記第1電極に対向して配置されるガード電極と、
前記第1電極と前記ガード電極との電位差をゼロに近付ける同電位手段と、
前記第1電極と前記第2電極との間のインピーダンスの変化を検出するための容量型センサ検出手段を備える、容量型センサ。
- [2] 前記ガード電極は、前記第1電極と前記第2電極との間に配置される、請求項1に記載の容量型センサ。
- [3] さらに、前記ガード電極と前記第1電極とを固定する第1支持部材を含む、請求項1に記載の容量型センサ。
- [4] さらに、前記第2電極と前記ガード電極とを固定する第2支持部材を含む、請求項1に記載の容量型センサ。
- [5] さらに、支持基板を含み、
前記支持基板上に前記第1電極または前記第2電極と、前記第1電極または前記第2電極とは異なる導電形式の半導体層により前記ガード電極が形成される、請求項1に記載の容量型センサ。
- [6] 前記第1電極または前記第2電極は、その下面中央部に凹部が形成された薄膜部を含み、前記薄膜部が振動電極となる、請求項1に記載の容量型センサ。
- [7] 前記薄膜部として形成された第1電極または第2電極が振動電極となる、請求項6に記載の容量型センサ。
- [8] 前記第1電極および前記第2電極の少なくともいずれか一方は振動電極である、請求項1に記載の容量型センサ。
- [9] 前記第1電極および前記第2電極は、ともに固定電極である、請求項1に記載の容量型センサ。
- [10] それぞれが対向して配置され、いずれか一方の面積が他方に比べて狭く形成された第1および第2電極と、
前記第1および第2電極のうちの面積の狭い電極の外周より外側に配置されて面

積の広い電極を支持する支持部材とを備える、容量型センサ。

[11] さらに、支持基板を含み、

前記支持部材は、前記支持基板上で前記面積の広い電極を支持する、請求項10に記載の容量型センサ。

[12] 前記第1および第2電極のいずれか一方は前記支持基板上に配置され、

さらに、前記支持基板とその上に形成される電極との間に配置される第3支持部材を含む、請求項11に記載の容量型センサ。

[13] 前記支持基板の中央部には開口部が形成されていて、

前記第3支持部材上に形成された電極が振動電極となる、請求項12に記載の容量型センサ。

[14] 前記第1および第2電極のいずれか一方の電極上に他方の電極が配置され、

前記一方の電極上で前記他方の電極を支持する第4支持部材を含む、請求項10に記載の容量型センサ。

[15] 前記広い面積の電極上に前記面積の狭い電極が配置され、

さらに、前記広い面積の電極上に形成される第5支持部材と、

前記第5支持部材によって支持される絶縁部材とを含み、

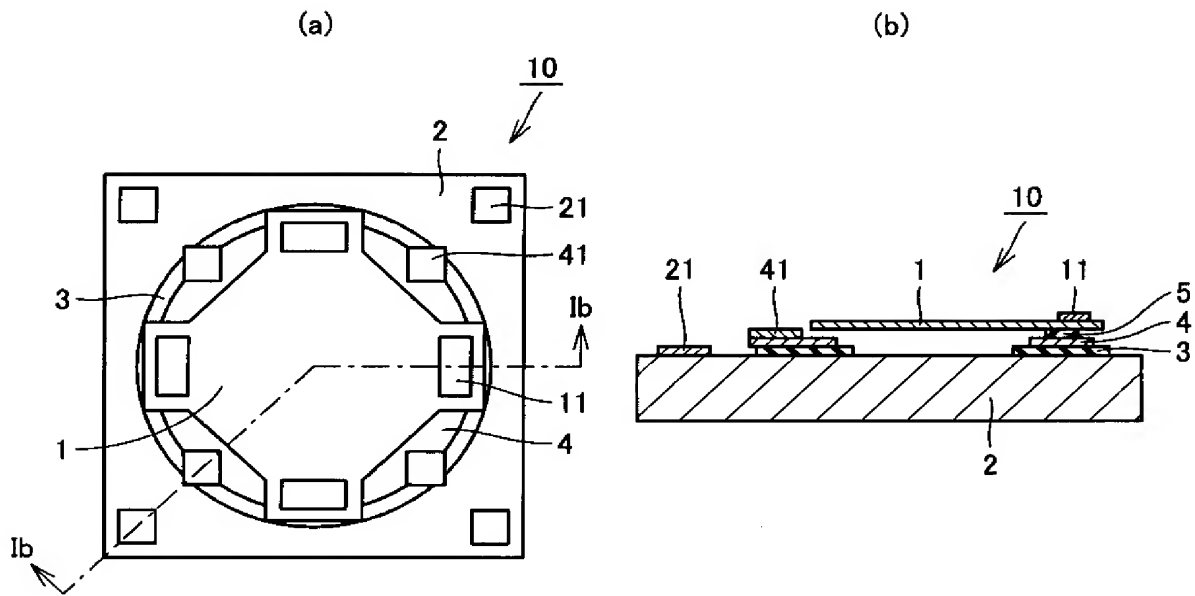
前記面積の狭い電極は前記絶縁部材上に形成される、請求項14に記載の容量型センサ。

[16] さらに、前記第5支持部材と前記絶縁部材との間に配置されるガード電極と、

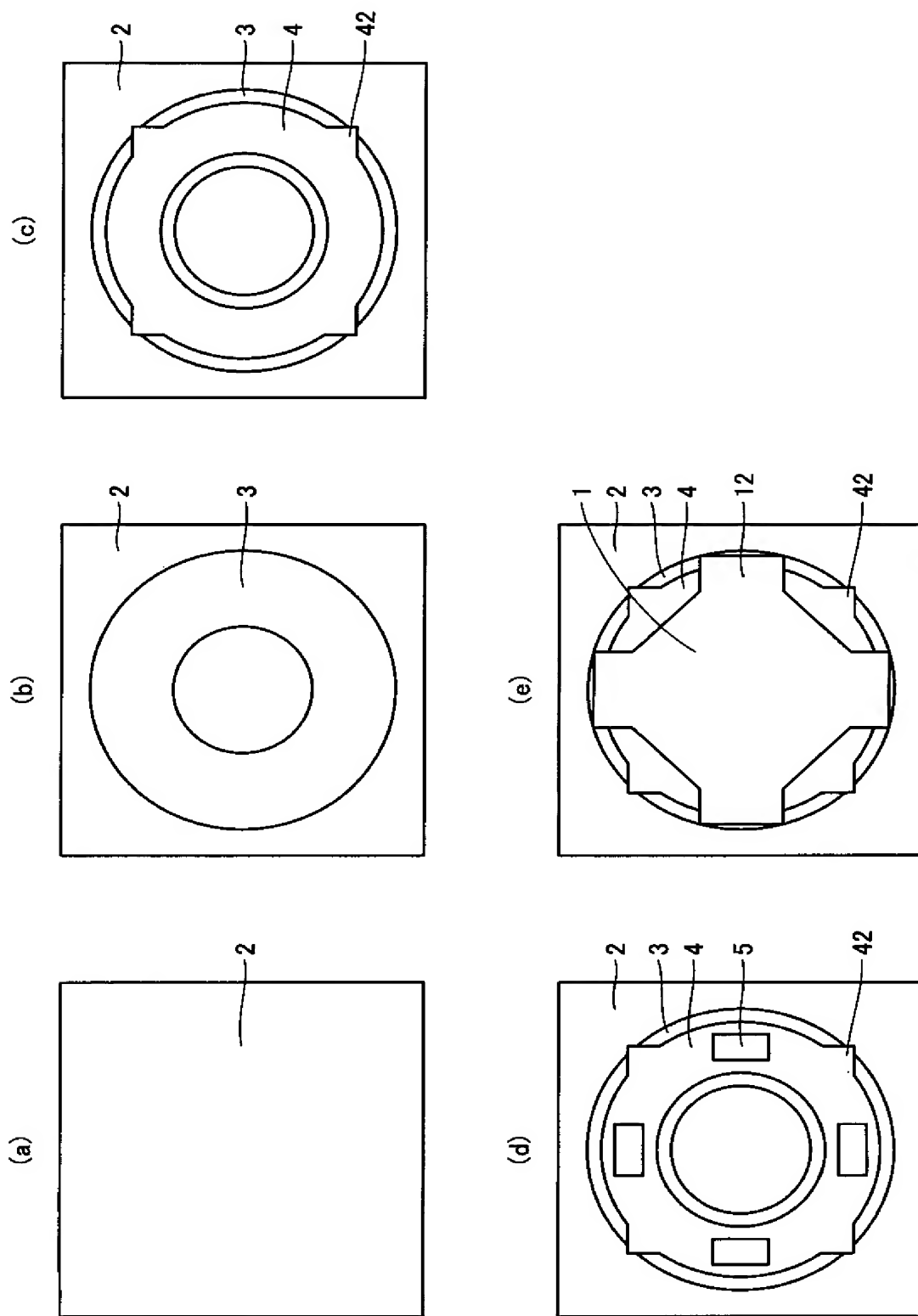
前記第1電極と前記ガード電極との電位差をゼロに近付ける同電位手段と、

前記第1電極と前記第2電極との間のインピーダンスの変化を検出するための容量型センサ検出手段とを含む、請求項15に記載の容量型センサ。

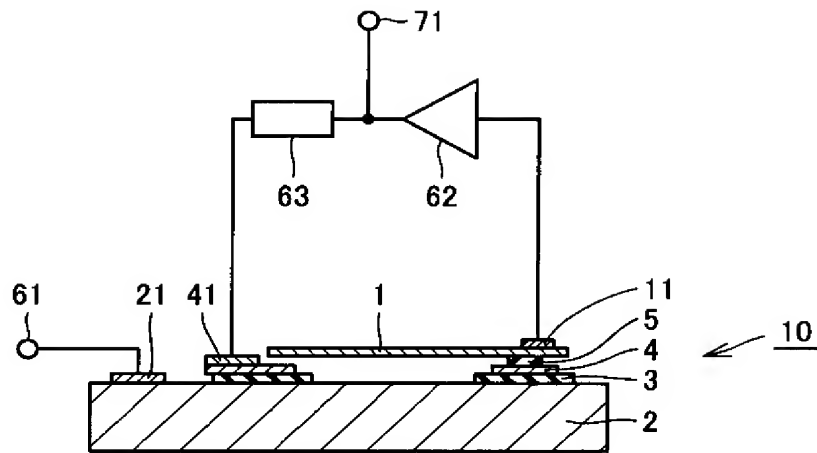
[図1]



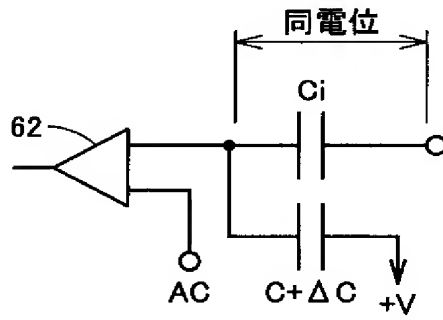
[図2]



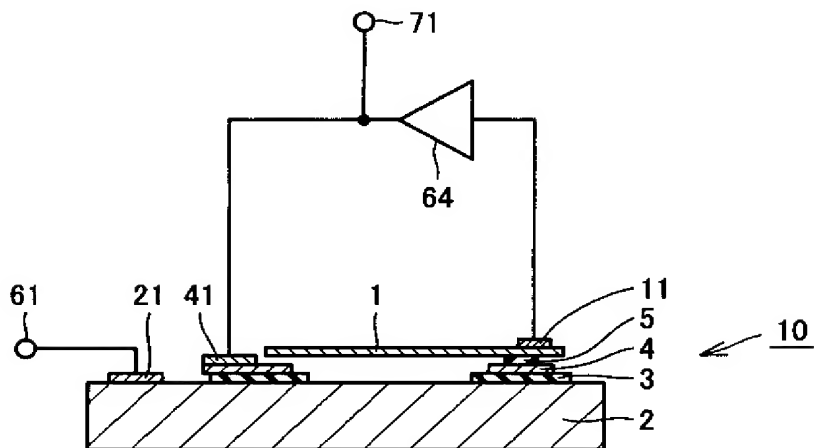
[図3]



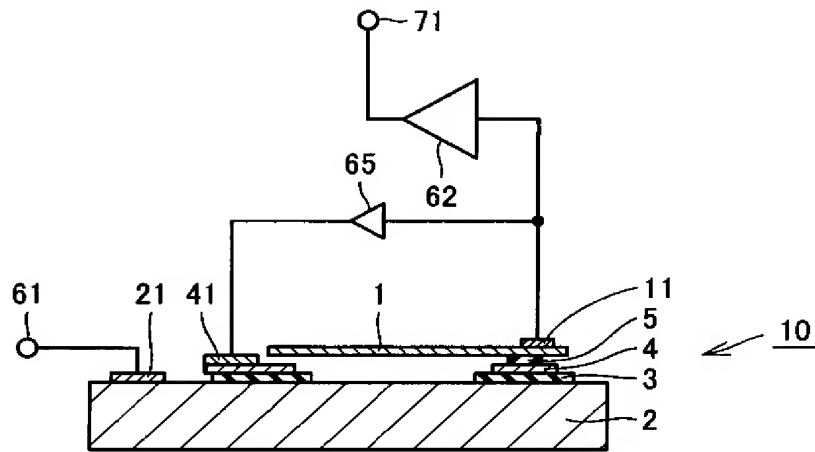
[図4]



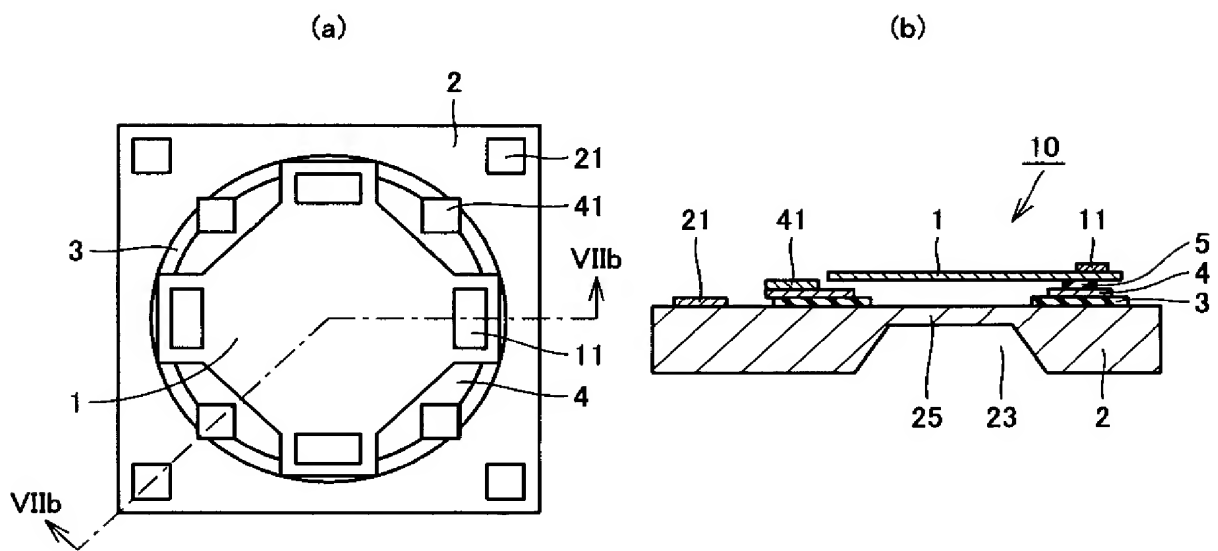
[図5]



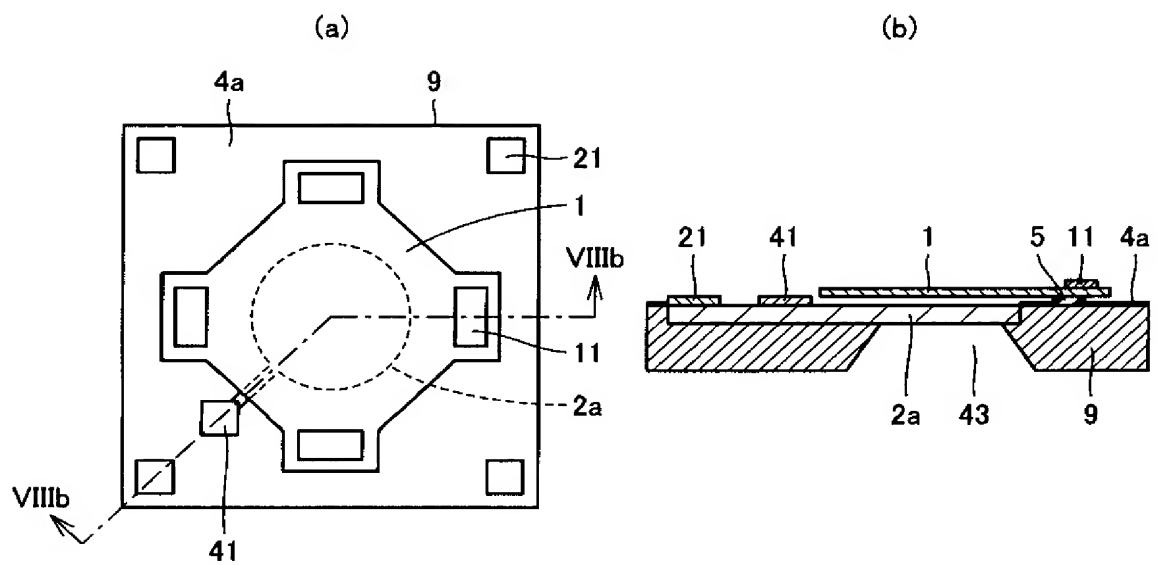
[[図6]]



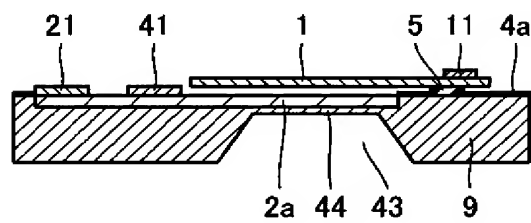
[[図7]]



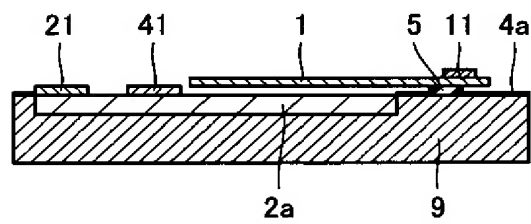
[図8]



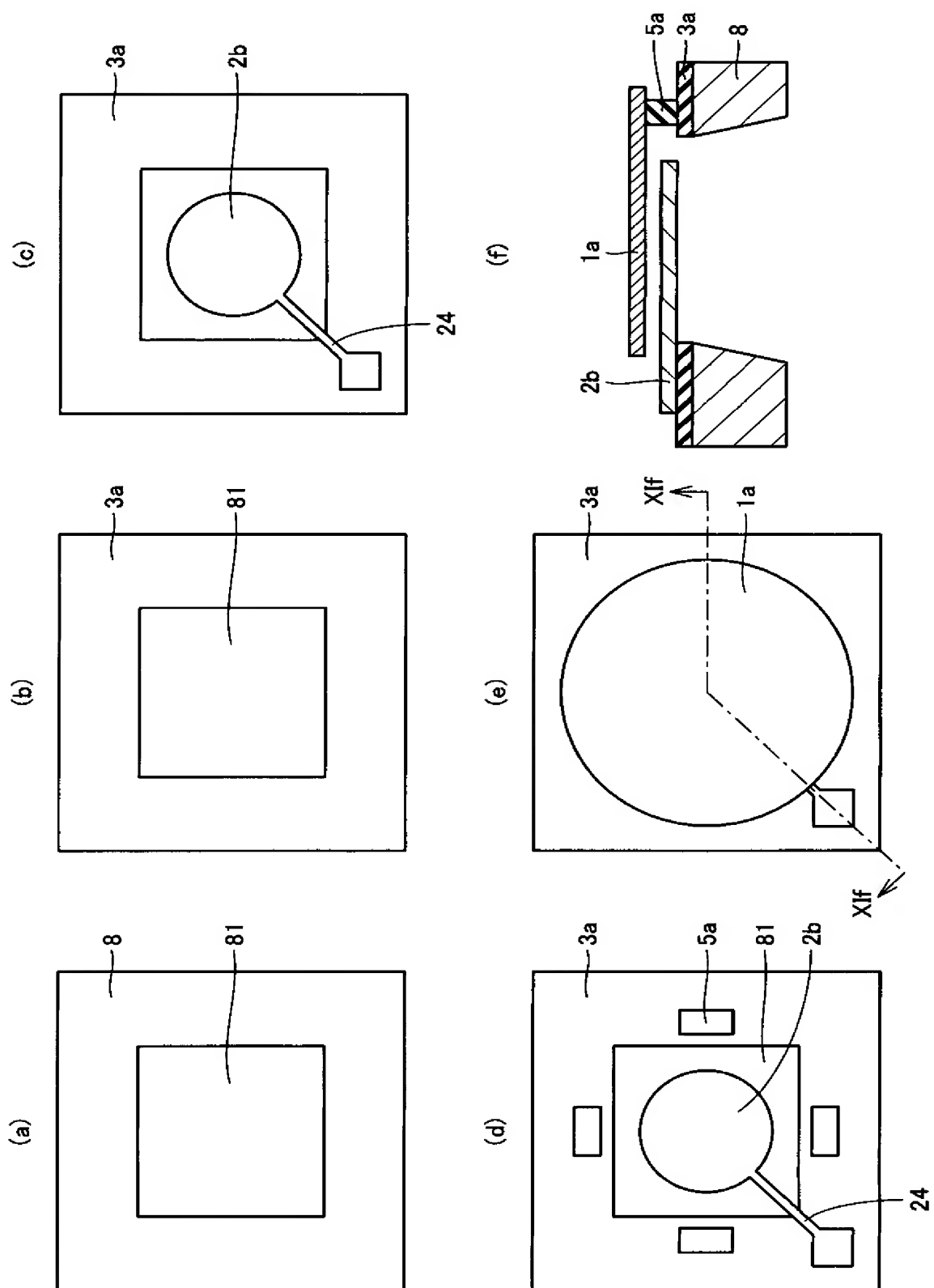
[図9]



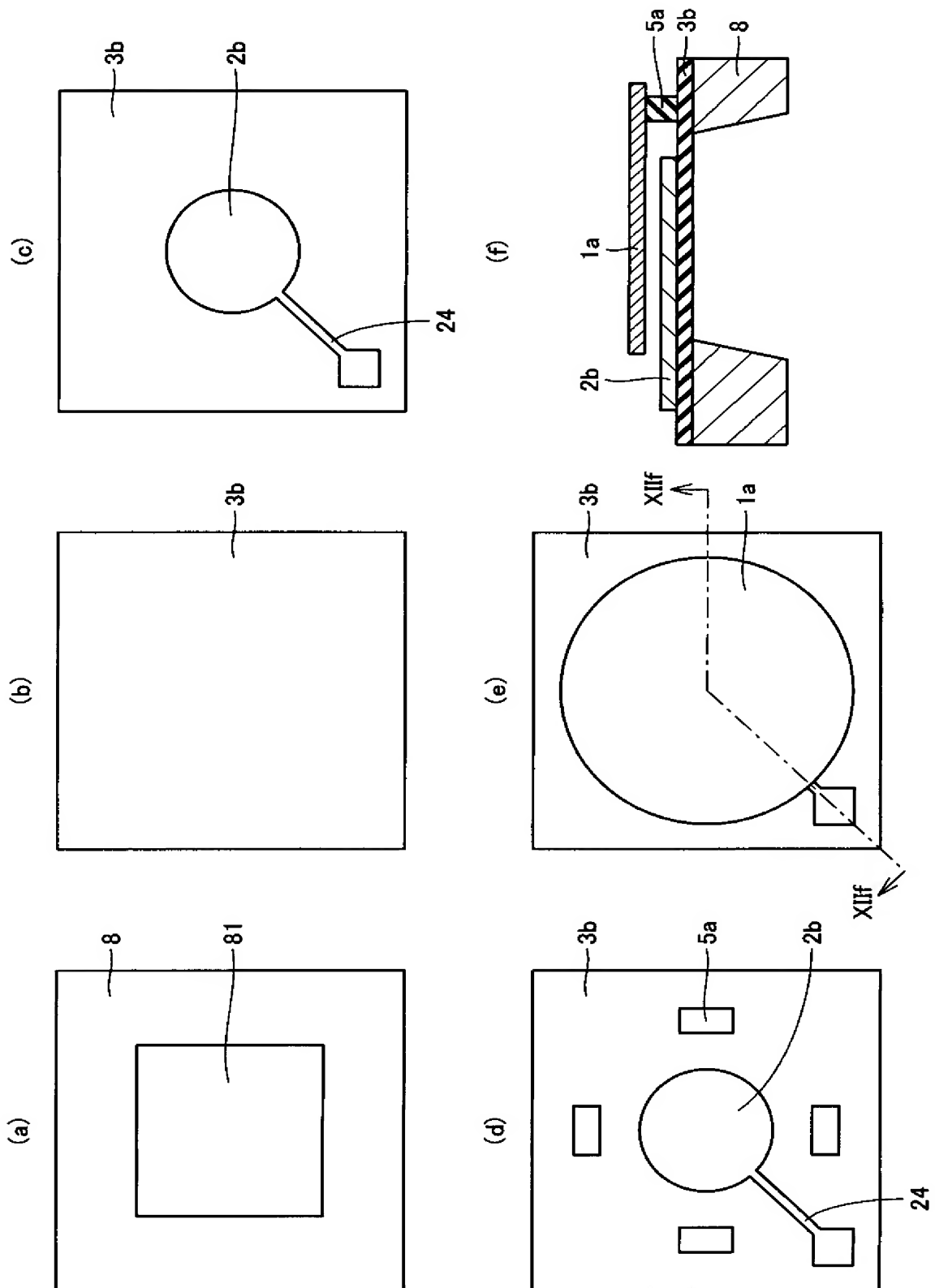
[図10]



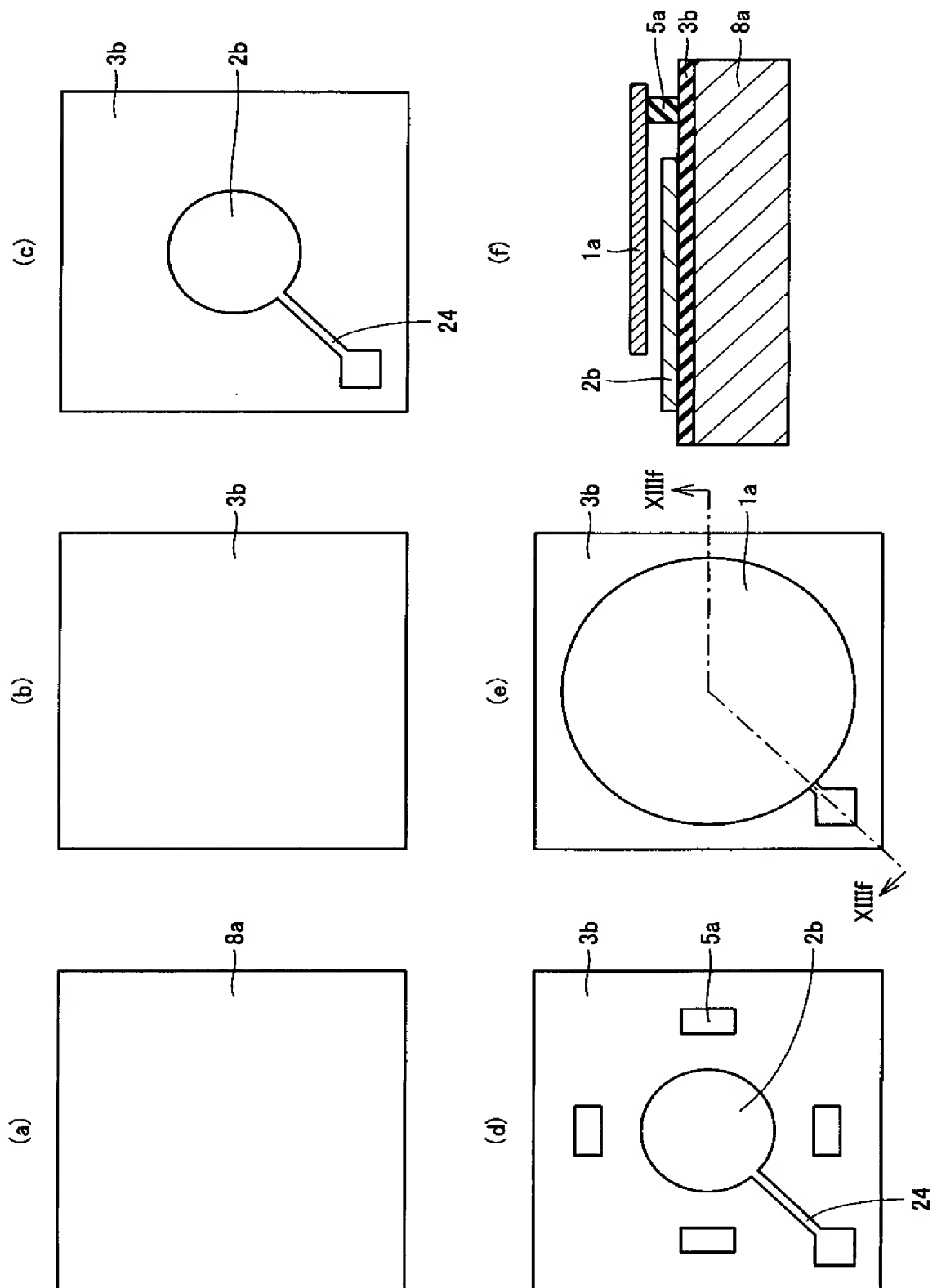
[図11]



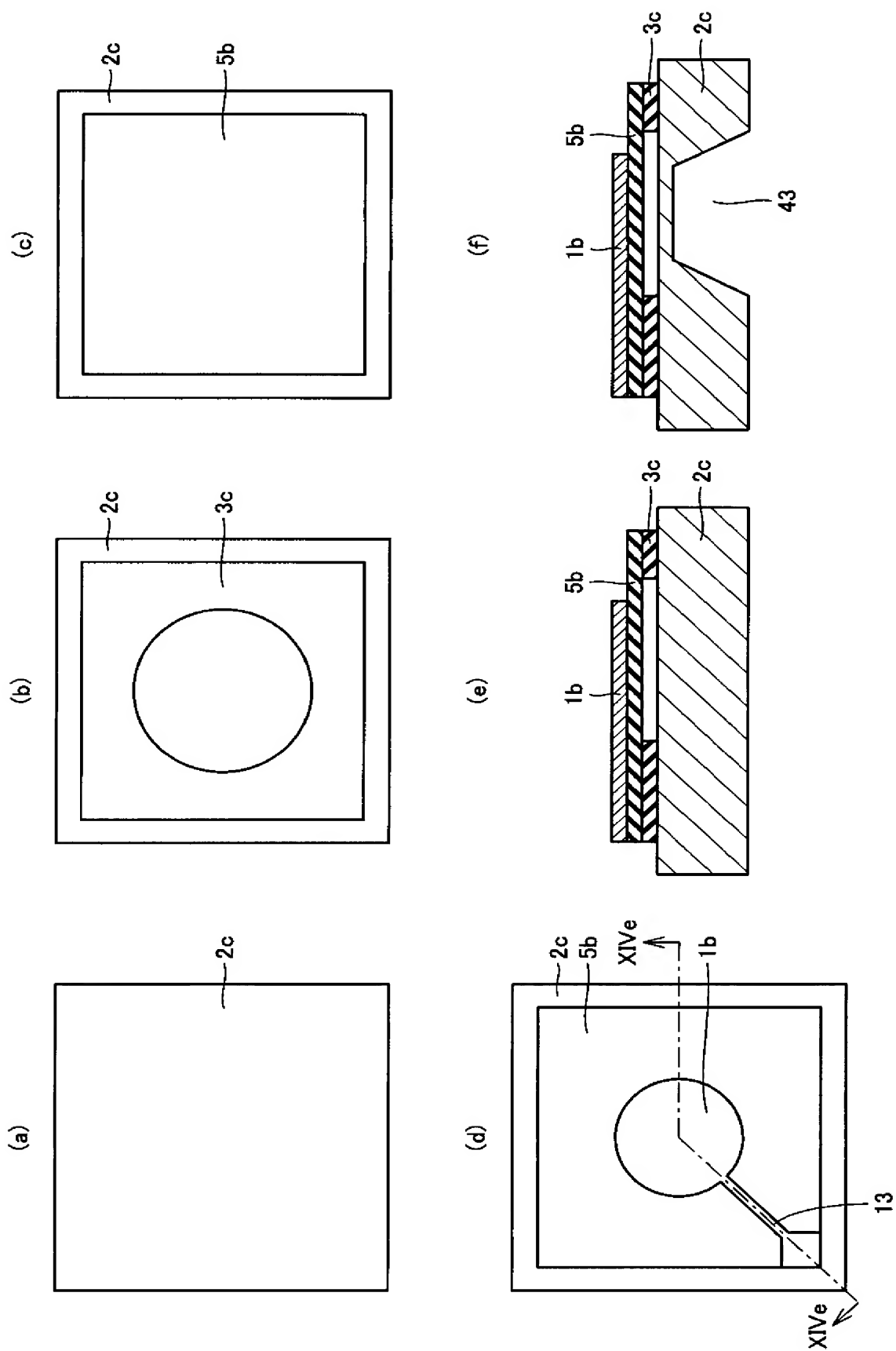
[図12]



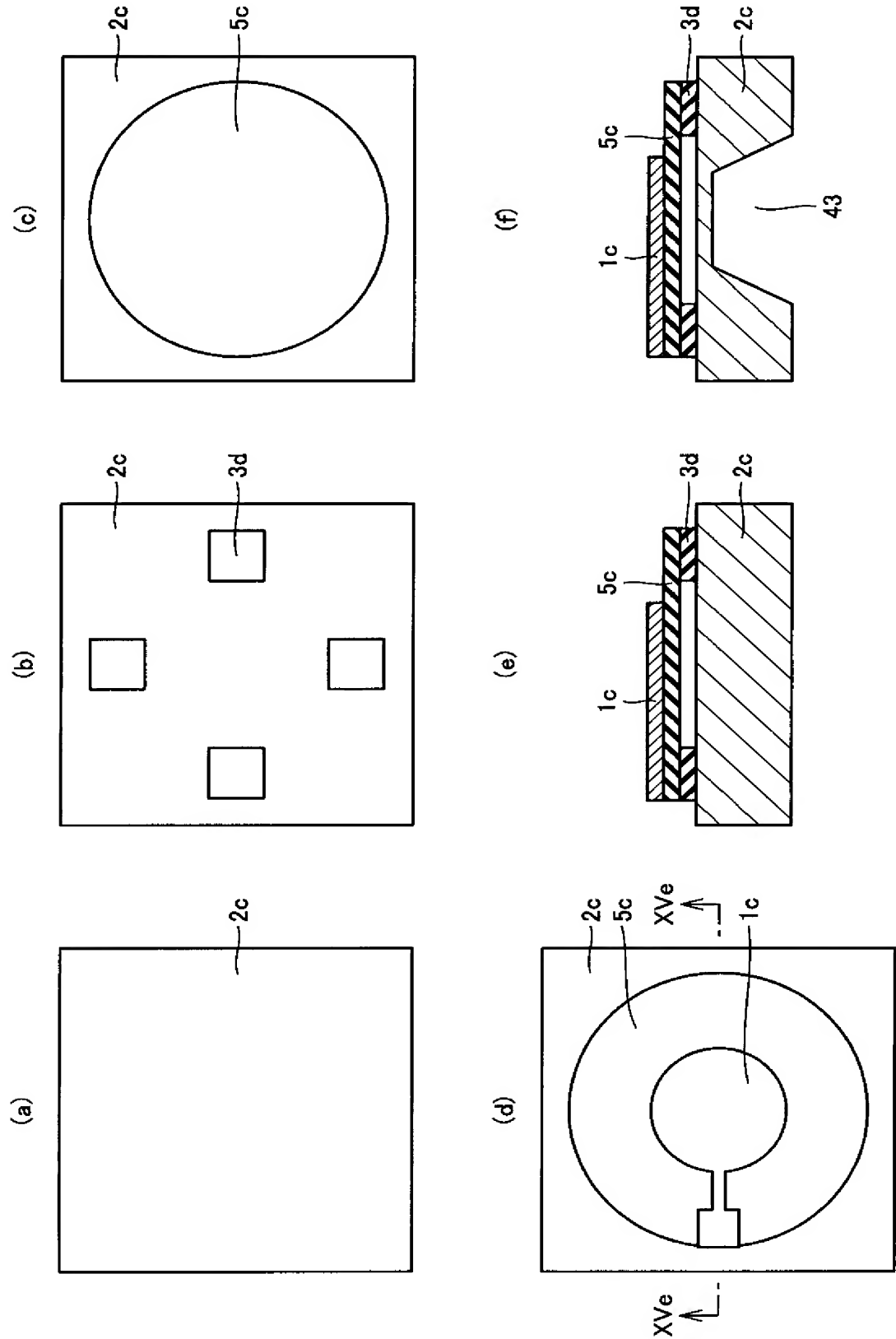
[図13]



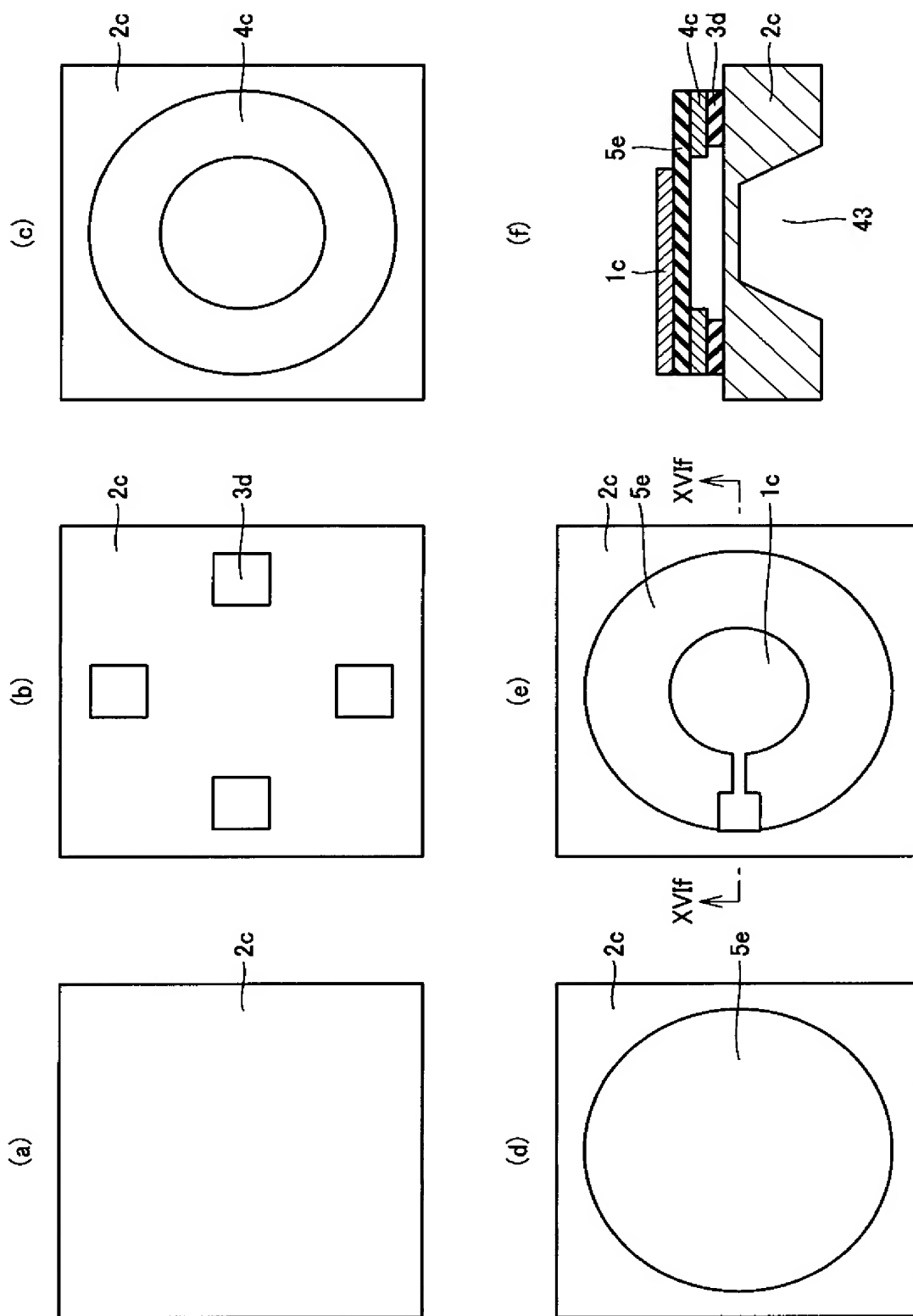
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/002165

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁷ G01L9/12

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ G01L9/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Kokai Jitsuyo Shinan Koho 1971-2005
Toroku Jitsuyo Shinan Koho 1994-2005 Jitsuyo Shinan Toroku Koho 1996-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|--|-----------------------|
| X A | JP 2000-28462 A (Matsushita Electric Industrial Co., Ltd.), 28 January, 2000 (28.01.00), Full text; all drawings & EP 973012 A & US 6145384 A | 1,3-9 2,16 |
| X A | JP 3447062 B (Yamatake Corp.), 04 July, 2003 (04.07.03), Full text; all drawings & WO 99/46570 A & EP 982576 A & US 6382030 B | 10-15 16 |



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
03 March, 2005 (03.03.05)

Date of mailing of the international search report
22 March, 2005 (22.03.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

| | | | |
|--|--|--|--|
| A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int. Cl ⁷ G 0 1 L 9 / 1 2 | | | |
| B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int. Cl ⁷ G 0 1 L 9 / 1 2 | | | |
| 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1 9 2 2 - 1 9 9 6、日本国公開実用新案公報 1 9 7 1 - 2 0 0 5、 日本国登録実用新案公報 1 9 9 4 - 2 0 0 5、日本国実用新案登録公報 1 9 9 6 - 2 0 0 5 | | | |
| 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語) | | | |
| C. 関連すると認められる文献 | | | |
| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 | |
| X A | J P 2 0 0 0 - 2 8 4 6 2 A (松下電器産業株式会社) 2 0 0 0 . 0 1 . 2 8、全文、全図 & E P 9 7 3 0 1 2 A & U S 6 1 4 5 3 8 4 A | 1、3-9 2、16 | |
| X A | J P 3 4 4 7 0 6 2 B (株式会社山武) 2 0 0 3 . 0 7 . 0 4、全文、全図 & W O 9 9 / 4 6 5 7 0 A & E P 9 8 2 5 7 6 A & U S 6 3 8 2 0 3 0 B | 10-15 16 | |
| <input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。 | | | |
| * 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願 | | の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献 | |
| 国際調査を完了した日 0 3 . 0 3 . 2 0 0 5 | | 国際調査報告の発送日 22. 3. 2005 | |
| 国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号 1 0 0 - 8 9 1 5 東京都千代田区霞が関三丁目 4 番 3 号 | | 特許庁審査官 (権限のある職員) 森 雅之 電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 6 2 5 7 | |